

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-157561

(43)Date of publication of application : 20.06.1989

(51)Int.Cl.

H01L 25/08

(21)Application number : 63-203309

(71)Applicant : LSI LOGIC CORP

(22)Date of filing : 17.08.1988

(72)Inventor : CORRIGAN WILFRIED J  
DELL OCA CONRAD J

(30)Priority

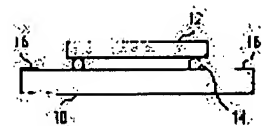
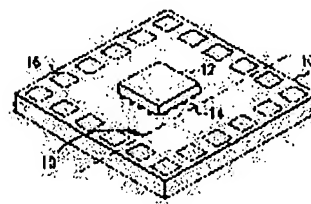
Priority number : 87 86140 Priority date : 17.08.1987 Priority country : US

## (54) MULTI-PLANE CHIP ASSEMBLY

### (57)Abstract:

**PURPOSE:** To attain high density by forming an electronic circuit on a major surface of a plurality of semiconductor chips, placing the semiconductor chip having one processed semiconductor chip or over at its lower side, and interconnecting electrically the circuits formed on the major side of the chip.

**CONSTITUTION:** A semiconductor chip assembly is made up of a master chip 10 formed to be a CMOS logic integrated circuit and a slave memory chip 12 formed to be an EEPROM or an ECL device, the master chip acts like a carrier or a support and the slave chip is manufactured by a conventional process. In order to form a combination by stacking the two chips, a metallic or solder bump 14 is formed to a major side or a face of either of the master chip and the slave chip or the both. Then a surface of the chip on which metallization or an electronic circuit is formed is used for the major side and the bump is formed on a bonding pad. The solder bumps of the slave and master chips are matched and heated and cooled and then the both are mounted.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

## ⑫ 公開特許公報(A) 平1-157561

⑤ Int.Cl.

識別記号

庁内整理番号

④ 公開 平成1年(1989)6月20日

H 01 L 25/08

B-7638-5F

審査請求 未請求 請求項の数 27 (全9頁)

⑭ 発明の名称 マルチプレーンチップ組立体

⑯ 特 願 昭63-203309

⑰ 出 願 昭63(1988)8月17日

優先権主張 ⑱ 1987年8月17日 ⑲ 米国(US) ⑳ 86,140

㉒ 発 明 者	ウインフレッド ジェイ. コリーガン	アメリカ合衆国, カリフォルニア 94025, アサートン, ボルヒームス アベニュー 222
㉓ 発 明 者	コンラッド ジェイ. デローカ	アメリカ合衆国, カリフォルニア 94306, パロ アルト, アベル アベニュー 4150
㉔ 出 願 人	エルエスアイ ロジック コーポレーション	アメリカ合衆国, カリフォルニア 95035, ミルピタス, マツカーシー ブルバード 1551
㉕ 代 理 人	弁理士 小橋 一男	外1名

## 明 細 書

## 1. 発明の名称

マルチプレーンチップ組立体

## 2. 特許請求の範囲

1. 複数の相互接続した半導体チップを設け且つ電子回路及び回路複雑性を拡張する方法において、複数の半導体チップを処理して前記チップの主表面上に電子回路を形成し、少なくとも1個の処理済み半導体チップを下側に存在する処理済み半導体チップによって画定される面の上側に位置させ、前記チップの前記主表面上に形成した回路を相互接続させる為に導電性要素を設ける、上記各ステップを有することを特徴とする方法。

2. 特許請求の範囲第1項において、前記下側に存在する半導体チップ及び前記下側に存在するチップの上に配設した前記1個のチップを異なった半導体技術によって処理することを特徴とする方法。

3. 限定した水平区域域内において電子回路及び回路複雑性を拡張させる方法において、第1半

導体技術によって第1半導体チップの主表面上に電子回路を形成し、少なくとも1個の第2半導体チップの主表面上に電子回路を形成し、前記主表面を結合させて前記回路を相互接続させると共に前記チップを異なった面内に配設させる、上記各ステップを有することを特徴とする方法。

4. 特許請求の範囲第3項において、前記少なくとも1個の第2半導体チップは、異なった適用に対して機能する為の異なった技術によって処理された複数の半導体チップを有することを特徴とする方法。

5. 特許請求の範囲第3項において、前記結合ステップが、前記主表面間に半田バンプを配設させることを包含することを特徴とする方法。

6. 特許請求の範囲第3項において、前記結合ステップが、前記第1及び第2半導体チップを接着剤により取付けることを包含し、前記第1及び第2半導体チップの前記主表面上に配設した電子回路を相互接続する為のワイヤボンディングステップを包含することを特徴とする方法。

7. 特許請求の範囲第3項において、前記第1半導体チップはパワートランジスタとして形成されることを特徴とする方法。

8. 特許請求の範囲第3項において、前記方法が、同一の面内に2個の離隔させて母体チップを位置させ、且つ前記離隔された母体チップの隣接する部分間にまたがって前記2個の母体チップの上に第3半導体チップを位置させる、各ステップを有することを特徴とする方法。

9. 特許請求の範囲第3項において、前記方法が、少なくとも3個の半導体チップを異なった面内に位置させることを特徴とする方法。

10. 特許請求の範囲第3項において、前記第1及び第2チップを接着剤により取付け、前記第1及び第2チップの主表面をワイヤボンディングし、前記第2及び第3チップの離隔した主表面を半田バンプによって結合させる、上記各ステップを有することを特徴とする方法。

11. 特許請求の範囲第10項において、前記第2チップの主表面を前記第1チップの主表面へ

又は前記第3チップの主表面へ結合させ且つ電氣的に接続させるステップを有することを特徴とする方法。

12. 半導体チップの積み重ね組立体において、第1の特定した動作機能を与える第1半導体技術によって特性付けられる第1半導体チップ、第2の特定した動作機能を与える第2半導体技術によって特性付けられる第2半導体チップ、前記第2チップが前記第1チップの主表面に対面する主表面を持つ様に前記第1及び第2チップを物理的に且つ電氣的に接続させる手段、を有することを特徴とする組立体。

13. 特許請求の範囲第12項において、前記第2半導体チップは前記第1チップの機能を相補的に補完するものであることを特徴とする組立体。

14. 特許請求の範囲第12項において、前記接続手段が、前記第1チップの主表面上に形成した金属バンプを有しており、且つ前記第2チップは前記第1及び第2チップ間に電氣的接続が形成される様に前記バンプと整合して着座されている

- 3 -

ことを特徴とする組立体。

15. 特許請求の範囲第12項において、前記第1及び第2チップは両方共半田バンプを有していることを特徴とする組立体。

16. 特許請求の範囲第12項において、前記接続手段は、前記第2チップ上にのみ金属バンプを有することを特徴とする組立体。

17. 特許請求の範囲第12項において、前記第1の特定した動作機能は前記第1の特定した動作機能と異なっていることを特徴とする組立体。

18. 特許請求の範囲第12項において、前記第1チップはCMOS論理チップを有しており且つ前記第2チップはECLランダムアクセスメモリチップを有していることを特徴とする組立体。

19. 特許請求の範囲第12項において、前記第1チップはパワートランジスタを有しており、前記第2チップは集積回路を有していることを特徴とする組立体。

20. 特許請求の範囲第12項において、前記第2チップはバス接地面、又は相互接続として使

- 4 -

用する為の受動チップであることを特徴とする組立体。

21. 特許請求の範囲第12項において、前記第1チップは論理チップであり、且つ前記第2チップはアナログチップであることを特徴とする組立体。

22. 特許請求の範囲第12項において、少なくとも1個のチップの第1レベルの上方に1以上のレベルに複数個のチップが配設されており、前記チップの上部レベルが付加的な相互接続レベルを提供することを特徴とする組立体。

23. 半導体チップの積み重ね組立体において、特定の半導体技術によって形成した親担持チップ、前記親担持チップ上に支持されており且つそれに物理的且つ電氣的に接続されている複数個の子チップ、を有することを特徴とする組立体。

24. 特許請求の範囲第23項において、前記子チップの少なくとも2個は異なる技術で形成されており、前記チップが互いに異なる機能を提供することを特徴とする組立体。

25. 特許請求の範囲第23項において、第1の子チップがプログラマブルリードオンリメモリとして機能し且つ第2の子チップがランダムアクセスメモリとして機能することを特徴とする組立体。

26. 特許請求の範囲第23項において、前記子チップの少なくとも2個が電氣的に互いに接続されており且つ前記親担持チップに電氣的に結合されていることを特徴とする組立体。

27. 半導体チップの積み重ね組立体において、主表面を持った第1半導体チップ、主表面を持った少なくとも別の1個の半導体チップ、前記別のチップの主表面が前記第1チップの主表面に対して実質的に直交する様に前記別の半導体チップの一端を前記第1半導体チップの主表面へ結合させる手段、を有することを特徴とする組立体。

### 3. 発明の詳細な説明

#### 技術分野

本発明は、集積回路組立体に関するものであり、更に詳細には、複数の異なる動作機能を与え

ることの可能な複数の半導体チップのマルチプレーン組立体及びその製造方法に関するものである。

#### 従来技術

1個を超える数の半導体チップを必要とする電子回路を製造する従来技術においては、半導体チップを、導電性相互接続及びその他の部品を有する支持体（例えば、プリント回路基板）へパッケージ化した部品として又は直接的に装着させている。各半導体チップは、例えばバイポーラ、CMOS等の同一又は異なったデバイス技術に従って製造することが可能である。各チップは、例えばメモリ又はロジック等の別々の適用を持つ場合があり、且つ高速又は低速で機能する場合がある。同一のチップ内に異なるデバイス技術を結合させることが可能ではあるが、それは通常処理を一層複雑化させ且つコストを増大させ又、例えばデバイスの動作速度等の性能において或る程度の妥協を必要とする。従って、異なるデバイス技術のチップを相互接続することが可能であることが

- 7 -

所望される。

ICチップは、PC回路基板上に密接して並置させることが可能ではあるが、チップ及び例えば抵抗やコンデンサ等の受動部品の間の相互接続及び導体はかなり長い経路となり、完成した回路の動作期間中に不所望の信号遅延が導入される。これらの遅延は、ICチップの性能を制限する。この問題は、例えば1平方cm以上の如く半導体チップを一層大きくすると、一層顕著となる。経路が長くなると、長い信号ラインに起因する遅れに打ち勝つことを可能とする一層高い駆動能力を得る為に一層大きなデバイス構成が必要とされる。これらの大きな構成は、チップ区域のかなりの部分を占有することとなる。例えば、CMOSゲートアレイにおいて、この場合の百分率は15乃至45%の範囲であり、その際にチップ上で達成することの可能な回路の複雑性を減少させている。更に、単一プレーン即ち面に沿ってのチップの配置は、電子回路用に必要とされる面積を拡張する。従って、比較的小さな面積内に配設され、バイ

- 8 -

ポーラ及びMOSFETタイプ技術によって与えられる様な機能の混合が組み込まれており且つ性能を改善させることの可能な複数のチップからなる組立体を提供することが所望されている。

#### 目的

本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、高密度小型構成体内に異なる技術的機能を具現化させる集積回路組立体及びその製造方法を提供することを目的とする。本発明の別の目的とするところは、信号遅延を最小とさせ且つ動作中に集積回路の性能を向上させる集積回路組立体及びその製造方法を提供することである。

#### 構成

本発明に拠れば、少なくとも1個の子チップに対する支持体乃至は担持体を提供する少なくとも1個の母体乃至は親チップを持った集積回路組立体が形成される。該チップは、異なる又は類似の技術及び構成を有しており、例えばMOSFET、RAM、ロジック及びその他のタイプのデバ

イスを有している。子チップは、種々の態様で親チップへ取付けることが可能である。1 態様においては、子チップは、電氣的及び機械的装着の両方を与える金属半田バンプを使用することによって、冶金的金ボンディングによって親チップへ整合され且つ合体される。別のアプローチは、親及び子のチップを電氣的に接続させる為にワイヤボンディングを使用することである。別の実施形態においては、子チップは、バス又は接地プレーン乃至は面として機能する 1 個又はそれ以上の相互接続層を持った受動要素として機能すべく選択される。本発明により親担持チップ上に子チップを積層させることによって、空間及び費用を節約して VLSI 集積回路チップ組立体を形成することが可能である。本発明の別の実施形態において、1 個のチップの異なった部分間での通信に使用されるものと基本的に同一の小さな出力構成体を使用して親及び子のチップ間で通信を行なう。更に別の実施形態においては、子チップが 1 個の親チップの端部を超えて延在し且つ 1 個の親チップを別

の親チップと接続し、又はその他の支持体及び／又は相互接続構成体と接続させる。別の実施形態において、並設させた 1 個又はそれ以上の親チップ上方に、又は子チップに対し、1 つ以上のレベルの子チップをスタック即ち積層させる。別の実施形態においては、1 つ又はそれ以上のチップをチップの側部に取り付け、又は親チップと相対的に垂直配向状態に整合させる。

#### 実施例

以下、添付の図面を参考に、本発明の具体的実施の態様に付いて詳細に説明する。

第 1 a 図及び第 1 b 図を参照すると、半導体チップ組立体は、CMOS（相補型金属酸化化合物半導体）ロジック集積回路として形成することが可能なアクティブ即ち能動的な母体即ち親チップ 10、及び任意の所望のタイプで例えば EPROM（電氣的に消去可能なリードオンリメモリ）又は ECL（エミッタ結合論理）装置とすることの可能な子メモリチップ 12 を有している。親チップは、担持体又は支持体として機能し、且つ子チップは

- 11 -

公知の従来の処理及び技術によって別に製造される。

これら 2 つのチップのスタックした即ち積層させた結合体を形成する為に、親チップ又は子チップのいずれか又はその両方の主表面乃至は面上に金属又は半田のバンプ 14 を形成する。主表面は、メタリゼーション又は電子回路が形成されるチップの表面として画定される。バンプは、例えば付着及びエッチング又はボンダパッド上に物質を鍍金させることにより公知の方法によって、ボンディングパッドとして通常呼ばれる回路メタリゼーション上に形成される（図面には示していないが、参照番号 16 によって示されるものに類似している）。子及び親のチップの主表面乃至は面は、半田バンプと整合され且つコンタクトされる。半田バンプは加熱してリフロー即ち再流動され、且つ冷却して、子及び親チップの取付けが行なわれる。これら 2 つのチップの取付けは、例えば、冶金的金ボンディングによって実施することも可能である。半田バンプは、これら 2 つのチップのボンダパッ

- 12 -

ド及び回路を電氣的に且つ物理的に接続させる。親チップへの外部電氣接続は、ワイヤボンディングによって又はバンプ及びリードフレームの取付け等によって行なうことが可能である。バンプが使用されると、それらは、親から子への接続において使用されるバンプと共に同時的に形成される。

第 2 図において、複数の子チップ 18、20、22 は金属バンプ 14 によって親チップ 10 へ結合されている。この例において、親チップはロジックチップとして機能し、一方子チップは、DRAM 又は SRAM（ダイナミック又はスタティックランダムアクセスメモリ）、ROM（リードオンリメモリ）、EPROM（消去可能なプログラマブルリードオンリメモリ）、又は EPROM（電氣的に消去可能な PROM）又はその他の所望の機能の如き異なった技術及び機能を包含することが可能である。

別の実施例を第 3 図に示してあり、それは、受動的な子チップ 24 を有しており、該チップはバス、接地プレーン即ち接地面、又は一般的な相互

接続として使用することが可能なものである。子チップ24は、上述したものと同一の態様で親チップへ合体される。

第4図を参照すると、担持用親チップが設けられており、それはパワートランジスタとして機能し且つそれに金属バンプ又はボンド14によって取付けられた集積回路チップ28を持っている。

第5図において、半導体チップ組立体は、親チップ10及び、例えばエポキシ接着剤とすることの可能な接着媒体31によって親チップ10へ取付けられた子チップ12を有している。子チップ12は、ワイヤ30によってボンドパッド16へワイヤボンディングされ、従って子チップ12の集積回路はダイボンドパッドを介して親チップ10の回路へ電氣的に接続されている。

第6図は、一部を1つ又はそれ以上の半田バンプ14によって親チップ10へ取付けた子チップ12を有する半導体装置を示している。この実施例において、子チップ12は、親チップ10の一端を超えて突出し、且つ反対側部分を半田バンプ

14aによって第2親チップ10aへ取付け、従ってそれはチップ10と10aとの間にまたがって配設される。チップ12及びチップ10及び10aの回路を形成するメタリゼーションラインが電氣的に接続される。一方、要素10aは、その中に集積回路を形成することのない支持体又は基板とすることが可能である。

第7図において、架橋チップ12cの主表面は半田バンプ14によって離隔されたチップ12a及び12bへ取付けられている。チップ12a及び12bは同一の面内に配設されており且つチップ10のボンドパッド16へ夫々接続されている。チップ12cの集積回路はその底部表面上に形成されており且つチップ12a及び12bの頂部表面上の回路へ電氣的に接続され且つチップ10の上部表面上に形成された集積回路へ電氣的に結合される。

第8a図及び第8b図は、半導体チップを垂直にスタック即ち積層させた実施例を示しており、その各チップは、例えば、バイポーラ、CMOS、

- 15 -

RAM、又はロジックデバイス等の異なった技術のもので形成することが可能であり、且つその各チップは異なった適用又は機能を有することが可能である。第8a図において、例えば、第1子チップ12aが接着媒体によって親チップ10の1表面へ結合されており、且つ第2子チップ12bが半田バンプ14によってチップ12aの主表面へ結合されている。チップ10の回路はボンディングワイヤ30によってチップ12aの回路へ電氣的に接続され、一方チップ12aの回路は導電性半田によってチップ12bの主表面上のメタリゼーションラインへ接続されている。

同様に、第8b図の組立体は、好適には異なった技術のチップ10、12a、12bのスタック即ち積層体の実施例であり、これらのチップは半田バンプ14a及び14bによって合体されている。その上に集積回路が形成されているチップ12aの主表面は、メタリゼーションラインが形成されるチップ10又はチップ12bの主表面のいずれかへ選択的に取付けることが可能であり、そ

- 16 -

の場合、チップ12aは正面の面と背面の面の両方に導電性要素を有し且つこれらの正面及び背面の間の電氣的接続を有している。第9図は、1個の親チップへの1つ又はそれ以上のチップの非平行な取付け構成を示している。この場合、バンプ14は該チップの端部に形成され且つ親チップ10へ取付けられている。

本明細書に開示した新規な組立体によって、ディスクリット即ち個別的なデバイスを集積回路とミックスすることが可能である。金属バンプ又は冶金的ボンディングを使用する従来技術は、半導体チップを合体させ且つ相互接続させる為に使用される。大量且つ低コストで製造されるメモリチップは、本明細書に開示した手法を使用して容易にカスタムロジック回路の形態に集積化させることが可能である。非常に高速のバイポーラメモリをロジックチップの中に集積化させることが可能であり、従って処理中の信号が「オフチップ」即ちチップから離れてメモリ内に入ることはなく、それは「オンチップ」即ちチップ上に存在する。

親チップと子チップとが近接しており且つ低抵抗低容量の金属パンプ相互接続を使用することにより、高抵抗高インダクタンスワイヤに沿って信号を駆動する場合に必要なような付加的な回路を設ける必要性を除去している。

理解されるべきであるが、親チップが子チップよりも大きいことは本来的には必要ではない。親チップはアクティブでも非アクティブなものでもよく、且つ非アクティブな親チップは、2層又は3層の金属相互接続を有することも可能である。子チップに2層又は3層のメタリゼーション層を付加させることにより、高歩留で4乃至6層の相互接続層を実現させることが可能である。半導体業界において現在使用されている従来のプレーナ配置と比較して、このスタック即ち積層型チップの手法により、非常に大きな半導体チップの非常に長い経路を通して信号を通過させる場合に遭遇する遅延は減少され、従ってチップ性能は向上される。回路を2つ又は3つのスタックしたチップに分割させることにより、臨界的経路は短縮さ

せることが可能であり且つ一層高速の性能を達成することが可能である。

尚、本発明は、実施上以下の構成の1つ又はそれ以上を取りえるものである。

1. 複数の相互接続した半導体チップを設け且つ電子回路及び回路複雑性を拡張する方法において、複数の半導体チップを処理して前記チップの主表面上に電子回路を形成し、少なくとも1個の処理済み半導体チップを下側に存在する処理済み半導体チップによって画定される面の上側に位置させ、前記チップの前記主表面上に形成した回路を相互接続させる為に導電性要素を設ける、上記各ステップを有することを特徴とする方法。

2. 特許請求の範囲第1項において、前記下側に存在する半導体チップ及び前記下側に存在するチップの上に配設した前記1個のチップを異なった半導体技術によって処理することを特徴とする方法。

3. 限定した水平区域内において電子回路及び回路複雑性を拡張させる方法において、第1半

- 19 -

導体技術によって第1半導体チップの主表面上に電子回路を形成し、少なくとも1個の第2半導体チップの主表面上に電子回路を形成し、前記主表面を結合させて前記回路を相互接続させると共に前記チップを異なった面内に配設させる、上記各ステップを有することを特徴とする方法。

4. 特許請求の範囲第3項において、前記少なくとも1個の第2半導体チップは、異なった適用に対して機能する為の異なった技術によって処理された複数の半導体チップを有することを特徴とする方法。

5. 特許請求の範囲第3項において、前記結合ステップが、前記主表面間に半田パンプを配設させることを包含することを特徴とする方法。

6. 特許請求の範囲第3項において、前記結合ステップが、前記第1及び第2半導体チップを接着剤により取付けることを包含し、前記第1及び第2半導体チップの前記主表面上に配設した電子回路を相互接続する為のワイヤボンディングステップを包含することを特徴とする方法。

- 21 -

- 20 -

7. 特許請求の範囲第3項において、前記第1半導体チップはパワートランジスタとして形成されることを特徴とする方法。

8. 特許請求の範囲第3項において、前記方法が、同一の面内に2個の離隔させて母体チップを位置させ、且つ前記離隔された母体チップの隣接する部分間にまたがって前記2個の母体チップの上に第3半導体チップを位置させる、各ステップを有することを特徴とする方法。

9. 特許請求の範囲第3項において、前記方法が、少なくとも3個の半導体チップを異なった面内に位置させることを特徴とする方法。

10. 特許請求の範囲第3項において、前記第1及び第2チップを接着剤により取付け、前記第1及び第2チップの主表面をワイヤボンディングし、前記第2及び第3チップの離隔した主表面を半田パンプによって結合させる、上記各ステップを有することを特徴とする方法。

11. 特許請求の範囲第10項において、前記第2チップの主表面を前記第1チップの主表面へ



又は前記第3チップの主表面へ結合させ且つ電気的に接続させるステップを有することを特徴とする方法。

12. 半導体チップの積み重ね組立体において、第1の特定した動作機能を与える第1半導体技術によって特性付けられる第1半導体チップ、第2の特定した動作機能を与える第2半導体技術によって特性付けられる第2半導体チップ、前記第2チップが前記第1チップの主表面に対面する主表面を持つ様に前記第1及び第2チップを物理的に且つ電気的に接続させる手段、を有することを特徴とする組立体。

13. 特許請求の範囲第12項において、前記第2半導体チップは前記第1チップの機能を相補的に補完するものであることを特徴とする組立体。

14. 特許請求の範囲第12項において、前記接続手段が、前記第1チップの主表面上に形成した金属パンプを有しており、且つ前記第2チップは前記第1及び第2チップ間に電気的接続が形成される様に前記パンプと整合して着座されている

ことを特徴とする組立体。

15. 特許請求の範囲第12項において、前記第1及び第2チップは両方共半田パンプを有していることを特徴とする組立体。

16. 特許請求の範囲第12項において、前記接続手段は、前記第2チップ上にのみ金属パンプを有することを特徴とする組立体。

17. 特許請求の範囲第12項において、前記第1の特定した動作機能は前記第1の特定した動作機能と異なっていることを特徴とする組立体。

18. 特許請求の範囲第12項において、前記第1チップはCMOS論理チップを有しており且つ前記第2チップはECLランダムアクセスメモリチップを有していることを特徴とする組立体。

19. 特許請求の範囲第12項において、前記第1チップはパワートランジスタを有しており、前記第2チップは集積回路を有していることを特徴とする組立体。

20. 特許請求の範囲第12項において、前記第2チップはバス接地面、又は相互接続として使

- 23 -

用する為の受動チップであることを特徴とする組立体。

21. 特許請求の範囲第12項において、前記第1チップは論理チップであり、且つ前記第2チップはアナログチップであることを特徴とする組立体。

22. 特許請求の範囲第12項において、少なくとも1個のチップの第1レベルの上方に1以上のレベルに複数個のチップが配設されており、前記チップの上部レベルが付加的な相互接続レベルを提供することを特徴とする組立体。

23. 半導体チップの積み重ね組立体において、特定の半導体技術によって形成した親担持チップ、前記親担持チップ上に支持されており且つそれに物理的且つ電気的に接続されている複数個の子チップ、を有することを特徴とする組立体。

24. 特許請求の範囲第23項において、前記子チップの少なくとも2個は異なった技術で形成されており、前記チップが互いに異なる機能を提供することを特徴とする組立体。

- 24 -

25. 特許請求の範囲第23項において、第1の子チップがプログラマブルリードオンリメモリとして機能し且つ第2の子チップがランダムアクセスメモリとして機能することを特徴とする組立体。

26. 特許請求の範囲第23項において、前記子チップの少なくとも2個が電気的に互いに接続されており且つ前記親担持チップに電気的に結合されていることを特徴とする組立体。

27. 半導体チップの積み重ね組立体において、主表面を持った第1半導体チップ、主表面を露他少なくとも別の1個の半導体チップ、前記別のチップの主表面が前記第1チップの主表面に対して実質的に直交する様に前記別の半導体チップの一端を前記第1半導体チップの主表面へ結合させる手段、を有することを特徴とする組立体。

以上、本発明の具体的実施の態様に付いて詳細に説明したが、本発明はこれら具体例にのみ限定されるべきものではなく、本発明の技術的範囲を逸脱すること無しに種々の変形が可能であること

は勿論である。

#### 4. 図面の簡単な説明

第1a図は本発明に基づいて形成したマルチプレーンチップ組立体の概略斜視図、第1b図は第1a図のチップ組立体の概略側面図、第2図は単一の担持用親チップ上に複数個の子チップを配設した状態を示した本発明の別の実施例の概略斜視図、第3図はCMOS親チップ上の受動親チップを示した本発明の別の実施例の概略斜視図、第4図は担持用親チップとして機能するパワートランジスタを示した本発明の別の実施例を示した概略斜視図、第5図は親チップへワイヤボンドさせた子チップを示した本発明のチップ組立体の概略側面図、第6図は1個の親チップから2番目の親チップ又は支持体へ延在する子チップを示した本発明の別の実施例の概略側面図、第7図は数個のプレーンの半導体チップ及び多層レベル相互接続を組み込んだ本発明の実施例を示した概略側面図、第8a図及び第8b図は垂直にスタックされた複数個の半導体チップを持った本発明の実施例の各

概略側面図、第9図は親チップへ垂直状態に配向した取付けられチップを示した本発明の実施例の概略側面図、である。

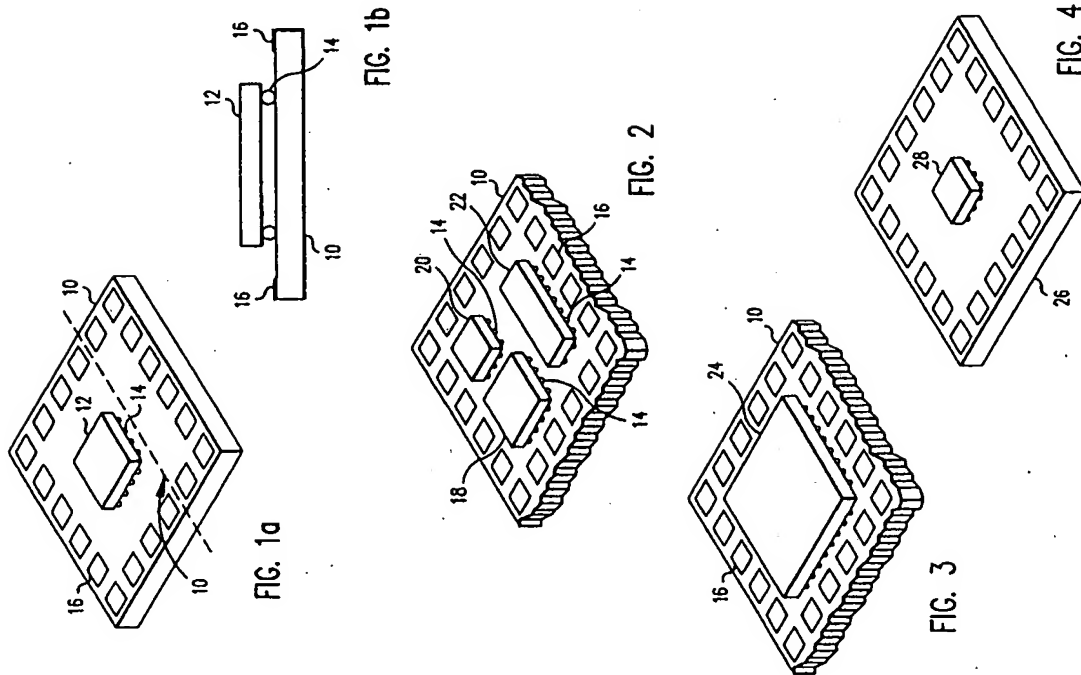
#### (符号の説明)

- 10：能動的親チップ
- 12：子メモリチップ
- 14：半田パンブ
- 16：ボンドパッド
- 18, 20, 22：子チップ
- 24：受動的子チップ
- 28：集積回路チップ
- 30：ワイヤ

特許出願人 エルエスアイ ロジック  
コーポレーション

代理人 小 橋 一 男

同 小 橋 正 明



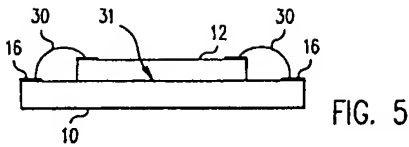


FIG. 5

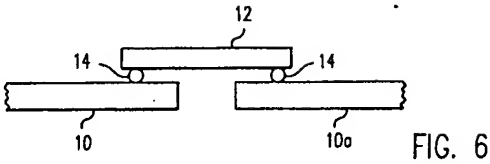


FIG. 6

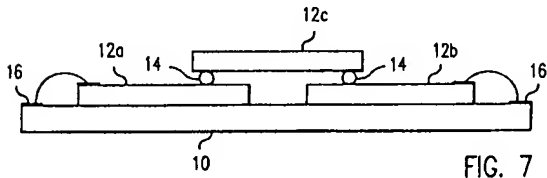


FIG. 7

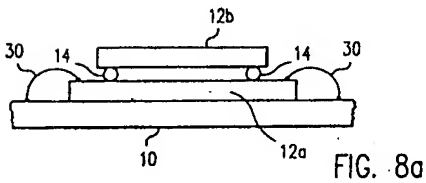


FIG. 8a

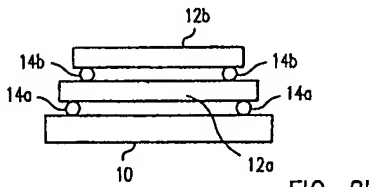


FIG. 8b

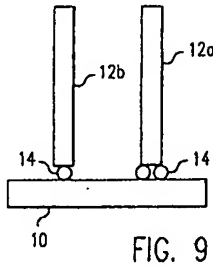


FIG. 9